

Sinkende ESD-Spannungsfestigkeit von elektronischen Bauelementen mit fortschreitenden Assembly-Schritten

Christian Hinz¹, Peer Krüger², Jörg Thürmer³, Luka Kadic¹

[1] Stat-X Deutschland GmbH, Schivelbeiner Straße 48, 10439 Berlin, mailbox.de@stat-x.biz [2] Bundesdruckerei GmbH, Kommandantenstraße 18, 10969 Berlin, <https://www.bundesdruckerei.de> [3] EPA Design & Control, Lürader Weg 6a, 21077 Hamburg, epa-dc@t-online.de

Zusammenfassung – Nach aktuell geltender Lehrmeinung nimmt die ESD-Spannungsfestigkeit von Halbleiter Bauelementen gegen elektrostatische Phänomene zu, je höher die Integrationsstufe auf dem Weg zum fertigen Produkt ist. Viele Dokumentationen behaupten dies. Allerdings entspricht diese Lehrmeinung nach aktuellen Erfahrungen nicht mehr den technischen Gegebenheiten. Ausgehend von einem gefundenen Sachverhalt wird in diesem Paper anhand eines alternativen Aufbaus gezeigt, dass die ESD-Spannungsfestigkeit entsprechend der Integrationsstufe auch sinken kann und es daher sinnvoll ist, bei der Gestaltung der ESD-Schutzzone die jeweiligen ESD-Spannungsfestigkeiten, basierend auf der tatsächlichen Handhabung der betroffenen Baugruppen zu kennen.

Abstract – According to the current prevailing teaching, the strength of components against electrostatic phenomena increases as the integration level increases towards the finished product. Many documents exist documenting the path from semiconductor to product with increasing ESD resistance. However, this teaching no longer corresponds to current technical realities. Based on a discovered fact, this paper demonstrates through an alternative construction that ESD resistance can decrease according to the integration level. Thus, it is sensible to consider the respective ESD resistances, based on the actual handling of the affected assemblies, when designing the ESD protection zone.

1 Motivation

1.1 Vorwort

Wie zuverlässig kann davon ausgegangen werden, dass alle elektronischen Bauelemente in einer EPA (ESD geschützte Zone) ausreichend sicher im jeweiligen Verbauschritt gehandhabt werden, wenn die ESD-Spannungsfestigkeit (ESD = elektrostatische Entladung) nur normativ angenommen wird?

Die ESD-Spannungsfestigkeit von aktiven elektronischen Bauelementen ändert sich aufgrund der stetig sinkenden Strukturgrößen. Inzwischen werden in Consumer-Elektronik-Produkten Bauteile mit 3-nm-Strukturen verbaut. Aufgrund dieser ständig fortschreitenden Miniaturisierung werden auch passive Bauelemente, die bisher als unempfindlich gegen elektrostatische Phänomene galten, immer öfter zu einem ESDS (elektrostatisch empfindliches Bauelement). Vishay zeigt zum Beispiel, dass selbst Kondensatoren latente ESD-Schäden aufweisen können [1].

1.2 Historische Annahme

Auch andere Faktoren müssen aufgrund der aktuellen Forschungsergebnisse neu bewertet werden. Durch das traditionelle und leicht verständliche Bild der Entladung eines Menschen

gegen eine Türklinke gehen noch immer viele ESD-Koordinatoren davon aus, dass der Mensch, oder technisch das HBM (Human Body Model), das größte Risiko darstellt. Inzwischen ist bekannt, dass 95 % der ESD-Fehler durch CDM-Events (Charged Device Model) verursacht werden [2].

Auch ging man bisher stets davon aus, dass ein nur nach Norm gemessener technischer Umstand als ausreichend bewertet werden kann. In der Praxis wurde gezeigt, dass z. B. durch die Änderung der Messspannung entsprechend der tatsächlichen Fertigungssituation ein signifikantes ESD-Risiko in einer normativ ESD-gerechten Fertigung aufgezeigt werden kann. Im Rahmen der ESD-Techniker Ausbildung des ESD-Forums wurde von einem Beispiel mit eloxierten Aluminiumprofilen berichtet. Diese hatten eine dielektrische Durchschlagsfestigkeit von bis zu 500 V. Ist es hier ausreichend, den Oberflächenwiderstand des Aluminiums mit 10 oder 100 V nach Norm IEC 61340-2-3 [3] zu messen, wenn die zu transportierende Leiterplatte ein höheres Potential aufweist? Welche Messspannung ist die richtige?

Der Lehrsatz, wonach für ein ESD-Event stets ein galvanischer Kontakt vorhanden sein muss, wird durch Studien widerlegt. Durch die höhere Sensitivität von elektronischen Komponenten gegenüber elektrostatischen Phänomenen kann der Transport durch ein elektrostatisches Feld zu ESD-Risiken führen [4], [5]. Wie bewertet man die

vorhandene Feldstärke und welche Maßnahmen leiten sich daraus ab, ohne über detaillierte Kenntnisse der Chiparchitektur zu verfügen?

Die historische Annahme, dass Bauelemente mit steigender Integration und tieferem Verbau eine höhere ESD-Spannungsfestigkeit aufweisen, ist ebenfalls nicht mehr uneingeschränkt gültig [6]. Details dazu zeigt unser Paper.



Abbildung 1: Dokumentation zur Annahme sinkenden Empfindlichkeit von elektronischen Baugruppen mit steigender Integration ins Fahrzeug. Aus dem Vortrag „ESD-Schutzmaßnahmen beim Automobilhersteller“, Hr. Jung (BMW AG), ESD-Forum 2009.

1.3 Beobachtung

Hintergrund für dieses Paper ist ein Event in einem Unternehmen. Die vorgefundenen Sachverhalte zeigten, dass ein Chip in einem Verbauschnitt unter den dort herrschenden Bedingungen sicher gehandhabt werden konnte (SMD-Bestückung, $U_{\max.} = 500 \text{ V}$ auf Leiterplatte). Der gleiche Chip zeigte in einem anderen Verbauschnitt jedoch Ausfälle (Aufsatz Kühlkörper mit Wärmeleitpad, $U_{\max.} = 300 \text{ V}$ auf Leiterplatte). Herkömmlich und nur nach Norm betrachtet, suggerieren die 500 V ein höheres ESD-Risiko.

In beiden Fällen lagen die ESD-Parameter deutlich unter den im Datenblatt genannten AMRs (CDM-Spannungsfestigkeit 1000 V , ohne Nennung der Prüfnorm). Die EPAs waren normkonform zu den Anforderungen der IEC 61340-5-1 [7] ausgeführt. Laut gängiger Lehrmeinung hätte es nicht zu diesem Ausfall kommen dürfen. Aufgrund der Sensibilität des Produktes darf das betroffene Produkt nicht genannt werden.

In der Arbeit zu diesem Paper konnte der Sachverhalt mit einem alternativen Aufbau und einer Testschaltung nachvollzogen werden. Basierend auf diesen Messungen soll dieser

Vortrag zur Diskussion einladen und ESD-Koordinatoren ermutigen, einen technisch notwendigen ESD-Schutz in Ihren Prozessen umzusetzen.

2 Evaluation

2.1 Versuchsaufbau

Ausgehend von den Beobachtungen war das wichtigste Unterscheidungsmerkmal beider Assembly-Schritte die Kapazität der Baugruppen. Entsprechend wurde zur Simulation eine marktübliche Schaltung verwendet. Diese wurde um eine zusätzliche Baugruppe erweitert, um einen weiteren Handhabungsschritt zu simulieren (ähnlich Abbildung 2).

Die Tests wurden mit einer ED111-Schaltung durchgeführt. Diese Schaltung wurde von Dr. Ertl, Firma Frequentis, zur Schulung in den EPAs entwickelt [8]. Ein bekanntes ESD-empfindliches Bauteil, der Transistor 2N7000, wird dabei in eine Flip-Flop-Schaltung integriert und durch die Weitergabe unter den Mitarbeitenden im Schulungsraum im Domino-Prinzip nach dem HBM geschädigt. Dies funktioniert erfahrungsgemäß zuverlässig bei Körperpotentialen $U > 400 \text{ V}$ in UPA-Umgebungen ab $rH < 60 \%$.

Der Transistor zeigt dabei die üblichen drei Effekte:

A) Liegt der Entladestrom unterhalb der ESD-Spannungsfestigkeit, wechseln die LEDs und die Soundausgaben im vorgegebenen Takt.

B) Bekommt der Transistor einen latenten Schaden, verändert sich die Frequenz kurzfristig, wie der Herzschlag bei einem Herzinfarkt.

C) Ist der Strom zu hoch, erleidet der Transistor einen Totalausfall, und die LEDs leuchten permanent, genauso wie der Ton dauerhaft ertönt.

Laut Datenblatt hat der Transistor die folgenden ESD-Spannungsfestigkeitslevel: HBM $> 100 \text{ V}$, CDM $> 2 \text{ kV}$, ohne Angabe von Prüfnormen [9]. In der Tabelle AMR ist zusätzlich ein Wert für ID „Maximum Drain Current – Pulsed“ mit 500 mA angegeben.

Für die Tests in dieser Arbeit ergaben sich so drei Verbaustufen:

- 1 Der nackte Transistor 2N7000.

2 Der Transistor, integriert in die ED111-Schaltung (Abbildung 2).

3 Der Transistor, integriert in die ED111-Schaltung und diese kombiniert mit einer gewählten Restbaugruppe eines PCs (Abbildung 3).

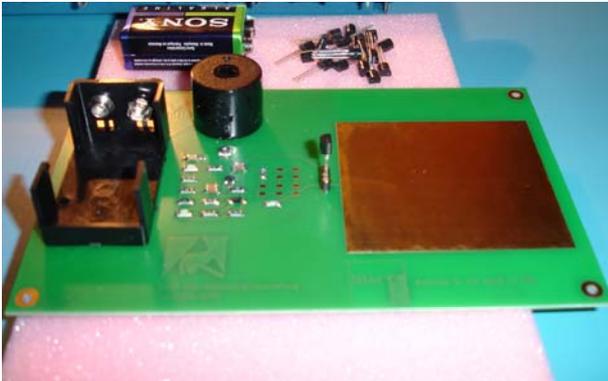


Abbildung 2: Transistor 2N7000 allein (oberer Bildrand) und in der Testschaltung ED111.



Abbildung 3: Testschaltung ED111 in Zusatzbaugruppe. Diese Stufe wird in dieser Arbeit „Gesamtbaugruppe“ genannt.

2.2 Messungen

Konditionen: Die Messungen wurden bei $rF = 48\%$ und $T = 24\text{ °C}$ vorgenommen.

2.2.1 Messmittel

Für die Ermittlung der Kapazität wurden Messungen mit einem Warmbier Metrisko 2000 als Spannungsquelle, einem Kleinwächter Charge Plate Monitor CPM 374 als Trägersystem und einem ETS Nano-Coulomb-Meter 230 durchgeführt. Für die ESD-Spannungsfestigkeitsprüfungen stand ein ETS CDM-Tester Modell 9903 in Kombination mit einem Teledyne Lecroy Wafesurfer 4500 HD 1-GHz-Oszilloskop zur Verfügung.

2.2.2 Spannungsveränderung

Ein erster Versuch der Ladungsbestimmung anhand der Potentialveränderung einer bekannten Kapazität zeigte keine ausreichend reproduzierbaren Werte. Dabei wurde die Platte des Charge Plate Monitors auf $U = 1200\text{ V}$ aufgeladen und anschließend das zu bestimmende Objekt auf der Platte positioniert. Die Potentialänderung sollte dann die Berechnung der Kapazität des Probekörpers ermöglichen, basierend auf der bekannten Kapazität der Platte von $C = 20\text{ pF}$. Jedoch war die Streuung der Ergebnisse zu groß. Daher wird diese Messreihe nicht näher betrachtet.

2.2.3 Ladungsmessung

Angelehnt an die Kapazitätskalkulation aus IEC 61340-4-7 [10], Anhang B, wurden die Ladungen außerdem mit einem Coulomb-Meter gemessen. Dafür wurde das Produkt auf der Platte des CPM positioniert, und die Platte mittels Metrisko auf $U = 500\text{ V}$ aufgeladen. Dann wurde mit dem Coulomb-Meter die Ladung gemessen. Der CPM wurde dafür in den Betriebsmodus Voltmeter geschaltet, sodass das Potential der Platte bei jeder Messung verifiziert wurde.

Die ursprüngliche Idee, mit $U = 1200\text{ V}$ zu messen, wurde verworfen, da das Coulomb-Meter durch die Entladung regelmäßig überlastet wurde.

Aufgrund der geringen Größe des Transistors, zeigten die Messungen am Bauteil allein kein reproduzierbares Ergebnis. Aus diesem Grund wurde die Platte des CPM als Basiskapazität verwendet. In Kombination mit der Platte konnten daraufhin aussagekräftige Werte gemessen werden. Die Kapazitätsveränderung beim Transistor allein war so gering, dass die eigentlichen Werte im statistischen Rauschen untergegangen sein könnten. Bei der Berechnung der Werte zeigte sich ein minimaler Unterschied, der dann als Ergebnis gewertet wurde.

Alle Probekörper wurden nacheinander mit der Platte gemessen und dann der mittlere Plattenwert vom Ergebnis der Mittelwerte abgezogen. Anschließend wurde mit $C = Q / U$ die Kapazität berechnet.

Tabelle 1: Mittelwerte mit Potential $U = 500\text{ V}$ auf der Platte des CPM, der gemessenen Ladung Q und der berechneten Kapazität C .

Einheit	Platte allein	+ 2N 7000	+ ED111	Gesamtbaugruppe
Q in nC	12,18	0,01	1,106	2,69

Einheit	Platte allein	+ 2N7000	+ ED111	Gesamtbaugruppe
C in pF	20	0,02	2,12	5,38

2.2.4 Prüfungen mit dem CDM-Tester

Zur Ermittlung des Entladestroms wurde ein CDM-Tester verwendet. Die Platte des Testers ist in der Auflagegröße begrenzt, hat aber gerade für den verwendeten Testaufbau ausgereicht. Sollte ein Aufbau für individuelle Produkte geplant werden, muss darauf geachtet werden, dass der Prüfling homogen und flach auf der Testfläche aufliegt. Vergleichende Messungen mit einer CT-1-Strommesszange zeigten ähnliche Kurvenformen und erlaubten eine größere Flexibilität.



Abbildung 4: Testaufbau CDM-Tester mit DUT 2N7000.

Die Tests am Transistor allein führten auch bei der Maximaleinstellung des CDM-Testers von 1000 V nicht reproduzierbar zum Ausfall. Wurde der Transistor in die ED111-Schaltung integriert, änderte sich die Kapazität auf $C = 2,12 \text{ pF}$ und der Transistor wurde reproduzierbar bei einer Testspannung $U = 300 \text{ V}$ zerstört.

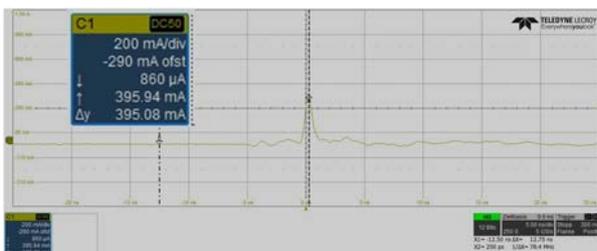


Abbildung 5: Die ED111-Schaltung zeigte bei 300 V einen Ausfall. $I_{\text{anzeige}} = 395,94 \text{ mA} \times 10$ (20 dB Attenuator), $I_{\text{real}} = 3,96 \text{ A}$.

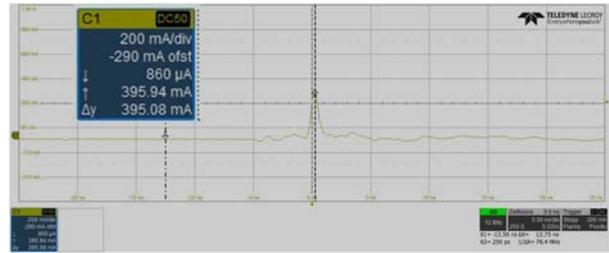


Abbildung 6: Der Gesamtaufbau zeigte Ausfälle schon bei 200 V mit deutlich höherem Strom. $I_{\text{anzeige}} = 1,03 \text{ A} \times 10$ (20 dB Attenuator), $I_{\text{real}} = 10,3 \text{ A}$.

Im dritten „Montageschritt“ (Gesamtbaugruppe mit $C = 5,38 \text{ pF}$) sank die ESD-Spannungsfestigkeit des Transistors auf $U = 200 \text{ V}$. Bei Verbau in eine größere Kapazität müsste bei 2N7000-Transistoren entsprechend davon ausgegangen werden, dass die CDM-ESD-Spannungsfestigkeit von 1000 V auf 100 V sinkt, um das Bauteil mit ausreichender „end of line“ Qualität handhaben zu können.

3 Konklusion

3.1 Ergebnis

Die Kapazitätsvergrößerung durch die fortschreitende Assemblierung und die damit einhergehenden größeren Ladungen führen zu höheren Entladeströmen bei teilweise geringeren Potentialen. Weder Potential noch Feldstärke allein sind in einem Prozessschritt ausreichende Grundlagen für eine zutreffende Risikoabschätzung. Die Kapazität spielt ebenfalls eine wichtige Rolle.

3.2 Handlungsempfehlungen

3.2.1 Risikoevaluation im Prozess

Entsprechend den gängigen Empfehlungen aus der Maschinenrichtlinie des ESD-Forums [11] und den Vorgaben der Publicly Available Specification IEC PAS 61340-5-6 [12] sind Gefährdungsanalysen mit den üblichen Messmitteln Voraussetzung für einen technisch sinnvollen ESD-Schutz. Dabei sind folgende Fragen zu stellen: Welche Spannungen und Felder treten an dem jeweiligen Arbeitsplatz auf? Können diese in diesem Augenblick zu einem ESD-Risiko führen?

Bei Kontakttrisiken ist eine Gefährdungsanalyse unter Berücksichtigung des Widerstandes am Kontaktpunkt entsprechend den normativen Vorgaben zielführend. Dabei wird dazu geraten, die Einzelwiderstände jeder Komponente, die mit dem Bauteil in Kontakt kommt, zu kennen, um auszuschließen, dass niederohmige metallische

Komponenten aufgrund ihrer Kapazität hohe Entladeströme provozieren können – auch und gerade wenn der Ableitwiderstand innerhalb der Normenanforderung liegt (Stichwort: isoliert aufgestellte leitfähige Körper). Weitere Informationen bietet die Maschinenrichtlinie in den Abschnitten 2.10 und 7.2. [12].

Ein wichtiger Punkt wird zukünftig die Ermittlung der aktuellen ESD-Spannungsfestigkeiten durch zusätzliche Parameter wie Kapazität sein, um die sinkende ESD-Spannungsfestigkeit der gehandhabten Produkte entsprechend dem aktuellen Verbaustatus und dem jeweiligen Arbeitsschritt abschätzen zu können. In der IEC PAS wird die größere Kapazität von PCBA im Vergleich zum Einzelbauteil in Abschnitt 6 erwähnt. Auch hier wird als optimales Bewertungskriterium dazu geraten, den Entladestrom im Prozess zu messen, was bekanntermaßen schwierig ist [12].

3.2.2 Ionisation

Zur Kontrolle von isoliert aufgestellten leitfähigen Körpern wird in IEC 61340-5-1 auf die Verwendung von technischen Maßnahmen wie Ionisation verwiesen. Diese Maßnahme kann bei einer Vielzahl von ESD-Risiken helfen. Jedoch ist der Einsatz und Unterhalt von Ionisationssystemen nicht trivial.

3.2.3 Eigene CDM-Tests

Jedes Unternehmen, das über ein schnelles Oszilloskop, eine Spannungsquelle und eine Strommesszange als Tastkopf für das Oszilloskop verfügt, hat fast alles zusammen, um eigene CDM-Tests im Haus durchzuführen. Sinnvoll ist dies nicht nur an der Baugruppe im jeweiligen Verbauschritt, sondern notwendigerweise auch im Prozess, um alle Parameter möglichst realistisch beurteilen zu können.

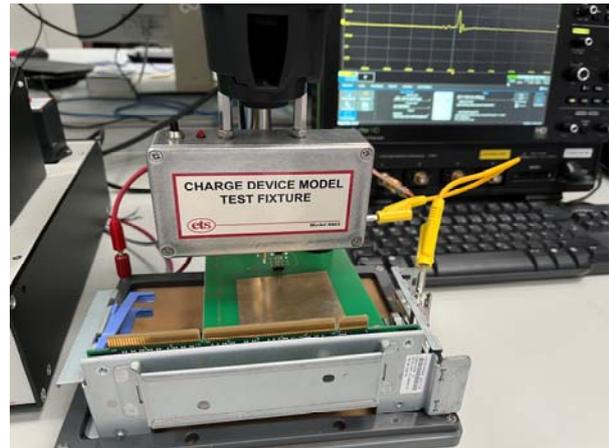


Abbildung 7: Ungenügende Lage des Gesamtaufbau vor Korrektur auf dem CDM-Tester. Durch die nicht homogene Auflage der Baugruppe auf der Testplatte variiert die Kapazität des Testaufbaus und beeinflusst so die Ergebnisse.

Bei der Validierung werden die einschlägigen Normen nicht optimal abgebildet. Die an den jeweiligen Verbauschritt angepassten Tests dienen dazu, die eigenen Prozesse im Haus zu optimieren und das ESD-Risiko zu minimieren. Mit steigender Qualitätslage und fallenden Reklamationszahlen und zielgerichteteren ESD-Schutzmaßnahmen sinken die Folgekosten.



Abbildung 8: Strommesszange CTI mit ED111 auf CPM-Platte als individueller CDM-Testaufbau.

4 Quellen

[1] Electrostatic Discharge Analysis of Multi Layer Ceramic Capacitors, Cyrus Rostamzadeh #1, Hamidreza Dadgostar*2, Flavio Canavero, 2009 IEEE International Symposium.

[2] What Is Charged Device Model (CDM) And How Is It Controlled?, Arnold Steinman, www.gotopac.com, 2023/08/15.

[3] IEC_61340-2-3 - Electrostatics - Part 2-3: Methods of test for determining the resistance and

resistivity of solid materials used to avoid electrostatic charge accumulation.

[4] Sebald - In-situ Measuring Devices to Detect Critical Electrostatic Charges at Wafer Level and on Photomasks - European ESD Factory Symposium, 2023 Tallinn, Estonia.

[5] Damage to ElectroStatic Discharge Sensitive Electronic Devices by Changing Electrostatic Fields, Jeremy Smallwood, Electrostatic Solutions Ltd, 2020 42nd Annual EOS/ESD Symposium.

[6] Vortrag ESD-Schutzmaßnahmen beim Automobilhersteller, Hr. Jung (BMW AG), ESD-Forum 2009.

[7] IEC 61340-5-1 Electrostatics – Part 5-1: Protection of electronic devices from electrostatic phenomena – General requirements.

[8] ESD-Schutzmaßnahmen im Qualitätsmanagementsystem und in der Supply Chain, EMV-Fachtagung 2018, Dipl.-Ing. Dr. Reinhard Ertl, Frequentis AG.

[9] Onsemi Datasheet N-Channel Enhancement Mode Field Effect Transistor 2N7000, 2019.

[10] IEC 61340-4-7 Electrostatics – Part 4-7: Standard test methods for specific applications – ionization.

[11] RL 1013 Richtlinie des ESD FORUM e.V. für die ESD-Risikobewertung ESD-gerechter Maschinen und Anlagen, www.esd-forum.de.

[12] IEC PAS 61340-5-6 Electrostatics – Part 5-6: Protection of electronic devices from electrostatic phenomena – Process assessment techniques.